

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-148394

(43)Date of publication of application : 23.12.1978

(51)Int.Cl.

H01L 21/76

(21)Application number : 52-063552

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.05.1977

(72)Inventor : TAKAHASHI HITOSHI  
OKUBO AKIRA

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To manufacture single crystal region with good quality, by laminating epitaxial layer on high concentration impurity layer on a substrate, providing grooves reaching the layer from the surface, and making the high concentration layer into high resistance and oxidizing the side surface of the grooves through the anodic oxidation and heat treatment.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

①日本国特許庁

①特許出願公開

## 公開特許公報

昭53-148394

⑤Int. Cl.<sup>2</sup>  
H 01 L 21/76

識別記号

⑥日本分類  
99(5) H 0庁内整理番号  
6513-5F

③公開 昭和53年(1978)12月23日

発明の数 1  
審査請求 未請求

(全 3 頁)

## ④半導体装置の製造方法

②特 願 昭52-63552

②出 願 昭52(1977)5月31日

②発 明 者 高橋仁

川崎市中原区上小田中1015番地  
富士通株式会社内

②発 明 者 大久保明

川崎市中原区上小田中1015番地  
富士通株式会社内

②出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

②代 理 人 弁理士 松岡宏四郎

## 明 細 書

## 1 発明の名称 半導体装置の製造方法

## 2 特許請求の範囲

半導体単結晶の主面の少くとも1部分に高濃度不純物層を形成する工程と、その上にエピタキシャル層を成長させる工程と、前記エピタキシャル層の表面から少くとも前記高濃度不純物層に達する層を形成する工程と、陽極処理によつて少くとも前記高濃度不純物層の一部分を多孔質化する工程と、酸化性雰囲気中で熱処理することによつて前記多孔質化された高濃度不純物層を高抵抗化するとともに前記層の側面を酸化する工程とを具備することを特徴とする半導体装置の製造方法。

## 3 発明の詳細な説明

本発明は半導体装置の製造方法に係わり、特に半導体素子間の絶縁分離の方法に関する。

半導体集積回路においてトランジスタ、ダイオード等各種半導体素子間を電気的に絶縁分離する方法が種々提案されているが、高抵抗化された多孔質層による分離法(特開昭48-46276号)が特

に注目されている。この方法を第1図によつて説明すると、半導体単結晶基板1の表面を弗化水素酸水溶液中の陽極処理によつて多孔質化して第1の多孔質層2を形成し(第1図(a))、この層2の上に通常のエピタキシャル成長法によつてエピタキシャル単結晶3を成長させる(第1図(b))。次いで再び選択的に陽極処理を施して第2の多孔質層2'を形成し(第1図(c))、しかる後に酸化性雰囲気中で熱処理を行い、第1および第2の多孔質層2および2'を高抵抗化させる(第1図(d))。この後エピタキシャル単結晶3の表面部分にトランジスタ、ダイオード等各種素子が形成されるが、前記多孔質層で囲まれた単結晶部分に形成された素子は多孔質層によつて他の素子と電気的に分離される。

この方法によれば、サファイヤ等絶縁基板の上に半導体単結晶を成長させる方法に比べ良質の単結晶を得ることが出来るが、多孔質部分と単結晶部分とは構造的に全く異なる為に多孔質層の上に形成されたエピタキシャル層の結晶性は単結晶基板

上に直接成長させたエピタキシャル層に比べれば未だ十分とは言えない。その上この方法に於いては多孔質層を高抵抗化させるのに長時間を要するという欠点もある。

本発明はかかる欠点を改善すべくなされたものであり、比較的簡単な方法で絶縁体で囲まれた良質の単結晶領域を得ることを目的としている。

本発明は単結晶基板にあらかじめ高濃度不純物層を形成しておき、その上に直接単結晶層をエピタキシャル成長させたのち、その表面から少くとも高濃度不純物層に達する溝を形成し、しかる後陽極処理を施して高濃度不純物層を多孔質化し、酸化性雰囲気中で熱処理を行うことにより多孔質化した部分を高抵抗化すると共に溝の側面を酸化させることを特徴としている。

第2図は本発明の方法を説明する為の図である。先づシリコン単結晶基板1の上に高濃度不純物層4を形成する(第2図(a))。高濃度不純物層4は通常の拡散法、エピタキシャル成長法、イオン注入法等により形成できる。次に通常のエピタキ

3

濃度不純物層4を形成し、 $N^-$ 型シリコン単結晶層3をエピタキシャル成長させた後、シリコン酸化膜 $SiO_2$ をマスク5とし $N^+$ 基板に達する溝6を形成する(第3図(a))。次いで陽極処理により多孔質化を行うが、 $N^{++}$ 層4の1部がそのまま残るように処理時間を調整する(第3図(b))。次に酸素を含む雰囲気中で熱処理を行い多孔質部分を高抵抗化するとともに溝内をシリコン酸化物6'で埋める(第3図(c))。この後外部ベース7およびインジェクター部8にボロンを拡散しp+領域を形成し、更にp型内部ベース9続いて $N^+$ 型コレクタ10を拡散により形成する(第3図(d))。この方法によつて得られたIILの平面図を第4図に示す。第3図(d)は第4図のA-A'に於ける断面図に相当する。図中11はpnpトランジスタのエミッタ電極、12、13および14はいずれもnpnトランジスタのコレクタ電極、15は同じnpnトランジスタのベース電極である。尚、第4図(d)の点線で囲まれた部分は多孔質化されていない高濃度不純物層4を内部に含む個所である。

6

特開昭53-148394(2)

ヤル成長法により単結晶層3を形成し、酸化膜、酸化膜等のマスク5を用いてフォトエッチングにより高濃度不純物層4に達する溝6を形成する(第2図(b))。多孔質化をより容易にするため、この溝6はシリコン基板1に達する深さであることが望ましい。次いで弗化水素酸水溶液等の処理液中で公知の陽極処理を行うが、不純物濃度の低いエピタキシャル単結晶層3に比べ高濃度不純物層の多孔質化が著しく急速に行われ、高濃度不純物層を全て多孔質化することが出来る(第2図(c))。続いて酸化性雰囲気中で熱処理を行うと多孔質層4'は高抵抗となり、溝の内壁面に於いては単結晶層3の酸化も行われ、やがて溝内は酸化物6'で埋められる(第2図(d))。かくして後に素子を形成する単結晶領域3の側面と底面を絶縁物で電気的に分離することができる。

次に本発明の方法をIIL(Integrated Injection Logic)の製造に適用した実施例につき第3図により説明する。

$N^+$ 型シリコン単結晶基板1の主面に $N^{++}$ 型の高

4

内部ベース9を形成する方法としては $N^{++}$ 型高濃度不純物層4の上に $N$ 型不純物より拡散係数の大きいp型不純物を高濃度に含む層を形成しておき、多孔質層を高抵抗化するための熱処理時の拡散によつてp層を形成することも可能である。

以上のように本発明の方法によれば、単結晶層上にエピタキシャル成長を行うので良質の単結晶層が得られ、また溝を形成することにより多孔質層の高抵抗化の熱処理を短時間で行うことができ、更にIILの如き応用例に於いては高濃度不純物層の存在によつて基板(エミッター)からの注入効率が高くなり、npnの上向動作エミッタ接地電流増幅率を大きくとることができる。

#### 4. 図面の簡単な説明

第1図は従来の方法を説明するための図、第2図は本発明の方法を説明するための図、並びに第3図および第4図は本発明の1実施例を説明するための図である。

1……半導体単結晶基板、2、2'、4'……多孔質層、3……エピタキシャル単結晶、4……高濃度不純

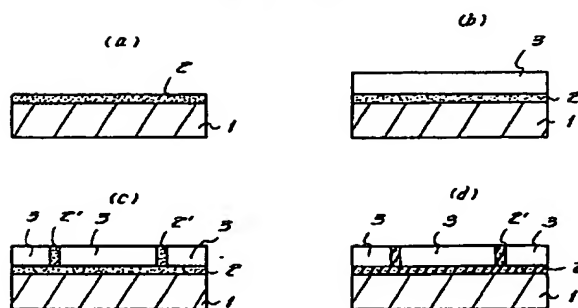
6

特開 昭53-148394(3)

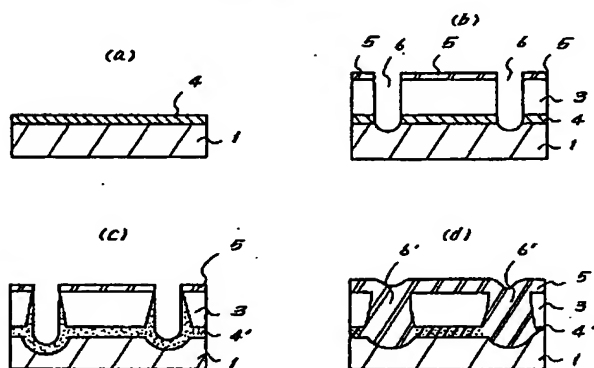
物層、5……マスク、6……溝、7……外部ベ  
ス、8……インジエクター部、9……内部ベ  
ス、10……コレクタ。

代理人 弁理士 松岡 宏 四 郎

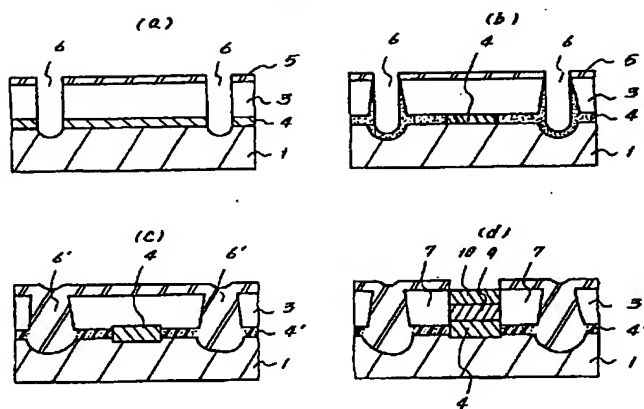
第 1 図



第 2 図



第 3 図



第 4 図

